

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2004年2月12日 (12.02.2004)

PCT

(10)国際公開番号
WO 2004/013927 A1

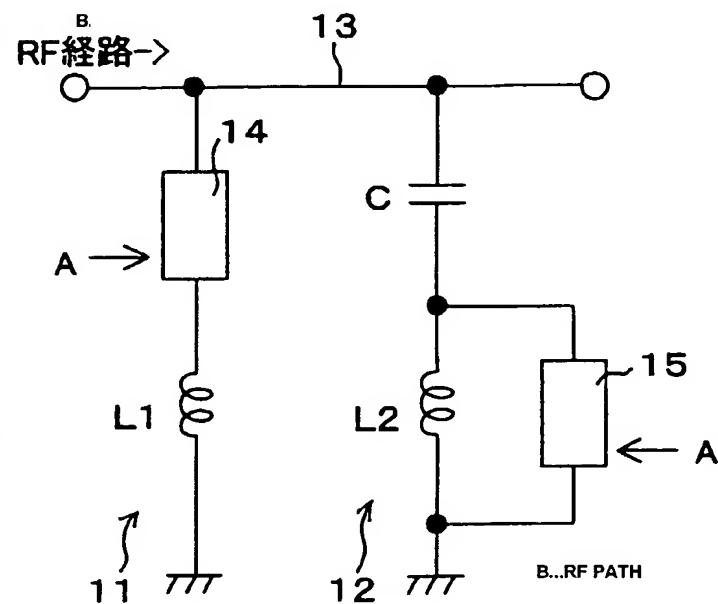
(51)国際特許分類⁷: H01P 1/15, H03K 17/687
(21)国際出願番号: PCT/JP2003/010008
(22)国際出願日: 2003年8月6日 (06.08.2003)
(25)国際出願の言語: 日本語
(26)国際公開の言語: 日本語
(30)優先権データ:
特願2002-228188 2002年8月6日 (06.08.2002) JP
(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
(72)発明者; および
(75)発明者/出願人(米国についてのみ): 古田 武司 (FURUTA, Takeshi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
(74)代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外外国特許事務所内 Tokyo (JP).
(81)指定国(国内): US.
(84)指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

/続葉有/

(54) Title: HIGH FREQUENCY CIRCUIT

(54)発明の名称: 高周波回路



(57) Abstract: If an RF signal is to be blocked using only the closing and opening of an FET, it would increase the path loss for a high frequency range during ON state, while it could not provide a sufficient isolation for the high frequency range during OFF state. A high frequency circuit has shunt circuits between a high frequency transmission path (13) and the GND. For example, the high frequency circuit has two shunt circuits (11,12) that include active elements (14,15) and impedance elements (L1,L2,C). These shunt circuits (11,12) form a parallel resonant circuit constituted by the impedance elements (L1,C) during ON state of the active elements (14,15) and form a serial resonant circuit constituted by the impedance elements (C,L2) during OFF state of the active elements (14,15).

(57) 要約: FETの開閉のみでRF信号を遮断しようとすると、高周波領域においては、ON時の経路ロスが大きくなり、またOFF時に十分なアイソレーションを確保できなくなる。高周波伝送経路13とGNDとの間にシャント回路を有する高周波回路において、能動素子14, 15およびインピーダンス素子(L1, L2, C)を含む例えば2つのシャント回路11, 12を有し、これらシャント回路11, 12が、各々の能動素子14, 15のON時にインピーダンス素子(L1, C)による並列共振回路を、OFF時にインピーダンス素子(C, L2)による直列共振回路をそれぞれ形成するようにする。

WO 2004/013927 A1

WO 2004/013927 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

高周波回路

5

技術分野

本発明は、高周波伝送経路とグランドとの間に能動素子を含むシャント経路を有する高周波回路に関し、特にASK変調器やS P S Tスイッチとして用いて好適な高周波回路に関する。

10

背景技術

ASK(アンプリチュードシフトキーイング;振幅偏移変調)変調器などの主な高周波回路では、高周波伝送経路と当該高周波伝送経路からグランド(GND)に対する経路、即ちシャント(shunt)経路とにFET(電荷効果トランジスタ)等の能動素子をそれぞれ配置し、これら経路の各能動素子を互い違いに開閉することでスイッチング動作を行っている。

図12に、従来の高周波回路の基本的な構成例を示す。同図において、高周波伝送経路101側にはFETQ101が配置されている。シャント経路102側においては、キャパシタC101、FETQ102およびキャパシタC102が高周波伝送経路101とグランドとの間に直列に接続されている。FETQ101、Q102は、各ゲートに互いに逆相の制御信号A、AXがそれぞれ印加されることにより、交互にON(閉)/OFF(開)動作を行う。

ところで、ASK変調はRF(高周波)信号の振幅の大小で

変調する方式であり、S P S T (シングルポールシングルスロウ:单極单投)スイッチと同じ構成にて機能を果たすことができる。

しかしながら、伝送する周波数が数G H z 以上、特にE T C
5 (エレクトロニックトールコレクションズ;自動料金収受)システムやワイヤレスホームネットワーク等で用いられる5 ~ 6 G H z になると、F E T のO F F 容量に起因してO N 時の経路ロスが大きくなったり、O F F 時のアイソレーションが不十分になるという問題が生じている。ここで、F E T のO F F 容量
10 とは、F E T がO F F 状態になった際のドレイン・ソース間に現れる容量成分のことを言う。

このF E T のO F F 容量をC o f f とすると、F E T のインピーダンスZは、

$$Z = 1 / j \omega C o f f, \quad \omega = 2 \pi f \quad \dots \dots$$

15 (1) となる。(1) 式から明らかなように、周波数fに反比例して抵抗成分|Z|が小さくなることがわかる。

図13に、高周波伝送経路101がO N (Q101がO N)、シャント経路102がO F F (Q102がO F F)になったときの等価回路を示す。ここで、O F F 容量C o f f がD C カット用のキャパシタC101, C102の容量に比べて十分小さく、F E T Q101のO N 抵抗R o n が数Ω程度なので、図13の回路特性は、O F F 容量C o f f による電力リークで支配的に決定される。逆に、高周波伝送経路がO F F 、シャント経路102がO N のときは、高周波伝送経路101のF E T Q101がO F F 容量C o f f を持ち、電力をリークする。

このように、F E T の開閉のみでR F 信号を遮断しようとす

ると、特に透過特性において高周波帯では本質的に困難になつてくることがわかる。すなわち、高周波領域においては、ON時の経路ロスが大きくなり、またOFF時に十分なアイソレーションを確保できなくなる。能動素子として、FETではなく、
5 PIN(ポジティブイントリニシックネガティブ)ダイオードを用いた回路構成の場合にも同様の問題が発生する。

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、高周波領域においても経路ロスを低減し、十分なアイソレーションを確保することが可能な高周波回路を
10 提供することにある。

発明の開示

本発明による高周波回路は、高周波伝送経路とグランドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、これら複数のシャント回路が、各々の能動素子のON時に前記インピーダンス素子による並列共振回路を、OFF時に前記インピーダンス素子による直列共振回路をそれぞれ形成する構成となっている。
15

上記構成の高周波回路において、各々の能動素子がONのとき、これら能動素子は等価的にON抵抗とみなされ、当該ON抵抗が十分小さいため、ショートとみなすことができる。したがって、複数のシャント回路は、能動素子がON状態にあるときに、等価的にインピーダンス素子による並列共振回路を形成する。この並列共振回路では、共振周波数を使用周波数に合わせることで、シャント回路方向(以下、シャント方向と記す)を高抵抗化し、高調波伝送経路方向(以下、スルー方向と記す)
20

に対して低ロスな透過特性が得られる。一方、各々の能動素子がOFFのとき、能動素子のOFF容量が十分小さいものとすると、複数のシャント回路は等価的にインピーダンス素子による直列共振回路を形成する。この直列共振回路では、共振周波数を使用周波数に合わせることで、シャント方向を低抵抗化し、スルー方向の透過電力を低下させることができる。

図面の簡単な説明

図1は、本発明の一実施形態に係る高周波回路の構成例を示す回路図である。

図2は、能動素子がON時に当該能動素子をON抵抗で表した回路図である。

図3は、能動素子がON時に形成される並列共振回路を示す等価回路図である。

図4は、能動素子がOFF時に当該能動素子をOFF抵抗で表した回路図である。

図5は、能動素子がOFF時に形成される直列共振回路を示す等価回路図である。

図6は、本発明の一実施形態の具体例に係る高周波回路を示す回路図である。

図7は、具体例に係る高周波回路のシミュレーション結果を示す図である。

図8は、シミュレーション結果の比較として、従来例に係る高周波回路を高周波用に修正した回路図である。

図9は、従来例に係る高周波回路のシミュレーション結果を示す図である。

図10は、本発明の一実施形態の変形例に係る高周波回路の構成例を示す回路図である。

図11は、本発明の適用例に係る多ポートスイッチの回路例を示す回路図である。

5 図12は、従来例に係る高周波回路の構成例を示す回路図である。

図13は、従来例に係る高周波回路のON時の等価回路図である。

10 発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係る高周波回路の構成例を示す回路図である。

図1から明らかなように、本実施形態に係る高周波回路は、
15 能動素子およびインピーダンス素子を持つ複数、例えば2つの
シャント回路11，12からなり、これらシャント回路11，
12が同一基板上に作成された構成となっている。一方のシャ
ント回路11は、高周波伝送経路13とグランドとの間に直列
に接続された能動素子14およびインダクタL1を有する構
成となっている。他方のシャント回路12は、高周波伝送経路
20 13とのグランドとの間に直列に接続されたキャパシタCお
よびインダクタL2と、インダクタL2に対して並列に接続さ
れた能動素子15とを有する構成となっている。

この高周波回路において、能動素子14，15は、共通の制
御信号AによってON/OFF制御される。これにより、制御
信号Aの伝送は1本の制御線で済むため、回路構成の簡略化を

図ることができる。能動素子 14, 15 の ON/OFF でシャント回路 11, 12 のインピーダンスを変更することにより、回路全体の ON/OFF 状態の切り替えが行われる。能動素子 14, 15 としては、FET や PIN ダイオード等を用いること 5 ができる。

以下に、具体的な回路動作について説明する。

図 2 に示すように、能動素子 14, 15 が ON (低抵抗 = R_{on} 状態) のとき本高周波回路は ON 状態となる。このとき、能動素子 14, 15 は等価的に ON 抵抗 R_{on} とみなされる。10 この ON 抵抗 R_{on} は十分小さく、ショートとみなすことができる。したがって、ON 状態にあるときの本高周波回路は、図 3 に示すように、等価的にインダクタ L_1 とキャパシタ C の並列共振回路となる。

ここで、並列共振回路のインピーダンス Z_{on} は、

$$15 \quad Z_{on} = 1/Y_{on}, \quad Y_{on} = 1/j\omega L_1 + j\omega C \\ \therefore Z_{on} = j\omega L_1 / (1 - \omega^2 L_1 C) \quad \dots$$

(2) となる。したがって、インダクタ L_1 およびキャパシタ C の各値を、使用周波数で共振点 ($Z_{on} = \text{無限大}$) となるよう うに、即ち

$$20 \quad \omega^2 = 1/L_1 C \quad \dots \dots \\ (3)$$

を満足するような素子定数を選択することにより、シャント方向を高抵抗化し、スルー方向 (高周波伝送経路) の透過効率を向上させることができる。

25 このように、本実施形態に係る高周波回路では、共振周波数を使用周波数に合わせることで、シャント方向を高抵抗化し、

スルー方向に対して低ロスな透過特性を実現することができる。

一方、図4に示すように、能動素子14, 15がOFF(高抵抗=Coff状態)のとき本高周波回路はOFF状態になる。

5 ここで、インダクタL1を含むシャント回路11のインピーダンスZ1は、

$$Z_1 = j\omega L_1 + 1 / j\omega C_{off} \quad \dots \dots (4)$$

となり、OFF容量Coffが十分に小さいとき、インピーダンスZ1が無限大となるので、このシャント回路11は無視できる。

また、インダクタL2とOFF容量Coffで構成される並列回路のアドミッタンスY2(Y=1/Z)とすると、

$Y_2 = 1 / j\omega L_2 + j\omega C_{off}$ となる。また、この並列回路を含むシャント回路12のインピーダンスZ2は、

$$\begin{aligned} 15 \quad Z_2 &= 1 / j\omega C + 1 / Y_2 \\ &= 1 / j\omega C + j\omega L_2 / (1 - \omega^2 L_2 C_{off}) \\ &\dots \dots (5) \end{aligned}$$

であり、OFF容量Coffが十分に小さいとき、アドミッタンスY2としてはインダクタL2の成分のみとなり、回路としては等価的に、図5に示すように、インダクタL2とキャパシタCの直列共振回路となる。

この直列共振回路の共振周波数は、(5)式において、 $Z_2 = 0$ とすると、

$$\omega_2 = 1 / L_2 C \quad \dots \dots (6)$$

25 であり、これを使用周波数に合わせることにより、シャント方向を低抵抗化し、スルー方向の透過電力を低下させることができ

き、本高周波回路のO F F状態を実現できる。

しかしながら、周波数が数GHz以上と高くなると、O F F容量C o f fの影響(正確には $\omega C o f f$ 積)が無視できないので、理想的なインダクタL2とキャパシタCの直列共振とは5ならない。したがって、回路全体のインピーダンスZ o f fについては、

$$Z o f f = 1 / Y o f f, \quad Y o f f = 1 / Z 1 + 1 / Z 2 \\ \dots \dots \quad (7)$$

を解いて共振点を求めることになる。

10 (3)式を(5)式に用いると、

$$Z o f f = j \omega L 1 (C - C o f f) \\ \cdot (L 1 - L 2 - L 2 C o f f / C) \\ / (2 L 2 C o f f - L 1 C) \quad \dots \dots \quad (8)$$

と変形できるので、Z o f f = 0となるためには、

$$15 L 1 / L 2 - 1 = C o f f / C \quad \dots \dots \quad (9)$$

を満足するような素子定数を用いることとなる。

上述したように、高周波伝送経路13とグラウンドとの間にシャント回路を有する高周波回路において、能動素子14, 15およびインピーダンス素子(L1, L2, C)を含む複数、例20えば2つのシャント回路11, 12を有し、これらシャント回路11, 12が、各々の能動素子14, 15のON時にインピーダンス素子(L1, C)による並列共振回路を、O F F時にインピーダンス素子(C, L2)による直列共振回路をそれぞれ形成するようにしたことで、ON時には使用する周波数において低ロスな透過特性を得ることができ、またO F F時にはシャント方向を低抵抗化し、スルー方向の透過電力を低下させる25

ことができる。

(具体例)

図 6 は、本実施形態の具体的な回路例を示す回路図であり、図中、図 1 と同等部分には同一符号を付して示している。本具体例では、能動素子 14, 15 として、高周波の処理に用いて最適な例えれば G a A s (ガリウム・ヒ素) 系材料からなる F E T を用いている。

図 6において、一方のシャント回路 11' は、高周波伝送経路 13 とのグランドとの間に、キャパシタ C1、F E T Q 1、キャパシタ C2 およびインダクタ L1 が直列に接続された構成となっている。他方のシャント回路 12' は、高周波伝送経路 13 とのグランドとの間に、キャパシタ C およびインダクタ L2 が直列に接続されるとともに、キャパシタ C3、F E T Q 2、キャパシタ C4 およびインダクタ L3 の直列接続回路がインダクタ L2 に対して並列に接続された構成となっている。

上記具体例に係る高周波回路では、F E T Q 1, Q 2 にバイアスを印加するため D C カット用にキャパシタ C1, C2, C3, C4 を挿入し、また I C 化した際のポンディング・ワイヤのインダクタンスを考慮してインダクタ L3 を追加した構成となっている。この具体例に係る高周波回路において、一例として、使用周波数を 5 G H z とし、各素子定数として C = 0.95 p F, C1, C2 = 6 p F, C3, C4 = 10 p F, C off = 0.4 p F, L1 = 1.1 n F, L2 = 0.7 n F, L3 = 0.4 n F を用いた場合のシミュレーション結果を図 7 に示す。

図 7 のシミュレーション結果から明らかのように、本具体例

に係る高周波回路においては、ON時にはロスが約0.5dB程度であり、OFF時には20dBのアイソレーションが確保されていることがわかる。

比較として、従来例に係る図8に示す回路を用いた場合のシミュレーション結果を図9に示す。図8に示す回路は、図12に示す従来回路を高周波用に修正した回路である。ここでは、各回路定数としてC101, C102 = 3pF, L104 = 0.7nF, Coff = 0.4pFを用いている。図9のシミュレーション結果から明らかなように、OFF時のアイソレーションは21dBあるが、ON時のロスが約2dBと大きな値となっている。

この比較結果から明らかなように、本具体例に係る高周波回路は、従来例に係る高周波回路に比べて、OFF時のアイソレーションについては同程度であるものの、ON時のロスについては高周波領域において約1.5dB程度低減できていることがわかる。

また、図1に示す回路例において、インダクタL1, L2の全部または一部をボンディング・ワイヤのインダクタンス成分で代用することにより、IC上の素子面積を低減することができる。一例として、ワイヤ1本のインダクタンス成分は0.7nF、2本並列にワイヤを打った場合で0.4nFなので、図6に示す回路例では、インダクタL2, L3についてはワイヤのインダクタンス成分で代用し、インダクタL1として0.4nF分のインダクタをICに内蔵させるだけで済むため、IC上の素子面積を低減できる。

(変形例)

なお、上記実施形態では、インダクタ L₁，L₂をそれぞれ含む2本のシャント回路 1₁，1₂を持つ場合を例に挙げて説明したが、これに限られるものではなく、図 10 に示すように、キャパシタ C₁，C₂をそれぞれ含む2本のシャント経路を同時に切り替えるようにしても同様の効果を得ることができ、また3本以上のシャント経路を持つ回路構成とすることも可能である。

(適用例)

以上説明した本実施形態あるいはその変形例に係る高周波回路は、ASK変調器やSPSTスイッチ等として用いることができる。また、本実施形態あるいはその変形例に係る高周波回路を複数配置することで、SPSTスイッチ等の多ポートスイッチに応用することも可能である。この多ポートスイッチの具体的な回路例を図 11 に示す。

図 11において、高周波伝送経路 1₃は、分岐点 B で 2 系統 A，B に分岐されている。この 2 系統の高周波伝送経路 1_{3A}，1_{3B}には、 $\lambda / 4$ だけ位相をずらすためのストリップライン等の位相変換装置 2₁，2₂が挿入されている。この位相変換装置 2₁，2₂は、片側のポートがショートした際に RF の分岐点 B の振幅が低下しないようにするために挿入されたものである。

2 系統の高周波伝送経路 1_{3A}，1_{3B}とグランドとの間に、図 1 に示すシャント回路 1₁，1₂が、A 系統のシャント回路 1_{1A}，1_{2A}および B 系統のシャント回路 1_{1B}，1_{2B}として配置されている。ただし、A 系統のシャント回路 1_{1A}，1_{2A}の能動スイッチ 1_{4A}，1_{5A}が制御信号 A によっ

てON/OFF制御されるのに対して、B系統のシャント回路11B, 12Bの能動スイッチ14B, 15Bが制御信号Aと逆相の制御信号AXによってON/OFF制御される。

なお、本適用例では、S P S Tスイッチ等の多ポートスイッチに適用した場合を例に挙げて説明したが、この適用例に限られるものではなく、ASK変調器などにも同様に適用可能である。

産業上の利用可能性

以上説明したように、本発明によれば、高周波伝送経路とグランドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、これら複数のシャント回路が、各々の能動素子のON時にインピーダンス素子による並列共振回路を、OFF時にインピーダンス素子による直列共振回路をそれぞれ形成するようにしたことで、高周波領域においても経路ロスを低減し、十分なアイソレーションを確保することができる。

請 求 の 範 囲

1. 高周波伝送経路とグランドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、
5 前記複数のシャント回路が、各々の前記能動素子のON時に前記インピーダンス素子による並列共振回路を、OFF時に前記インピーダンス素子による直列共振回路をそれぞれ形成することを特徴とする高周波回路。
2. 前記能動素子が電界効果トランジスタであることを特徴
10 とする請求項1記載の高周波回路。
3. 前記電界効果トランジスタがガリウム・ヒ素系材料からなることを特徴とする請求項2記載の高周波回路。
4. 前記複数のシャント経路が同一基板上に作成されていることを特徴とする請求項1記載の高周波回路。
15 5. 前記複数のシャント経路を形成するインダクタが、IC化の際のボンディング・ワイヤのインダクタンス成分で代用されていることを特徴とする請求項1記載の高周波回路。

1/7

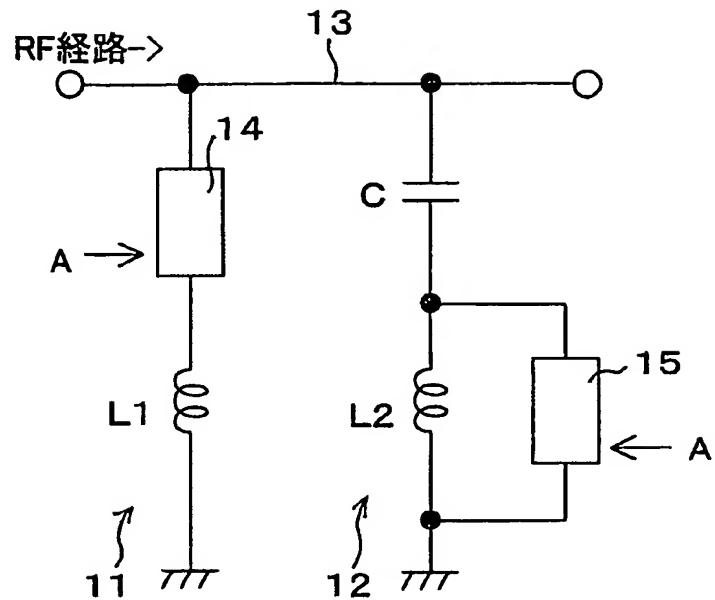


Fig.1

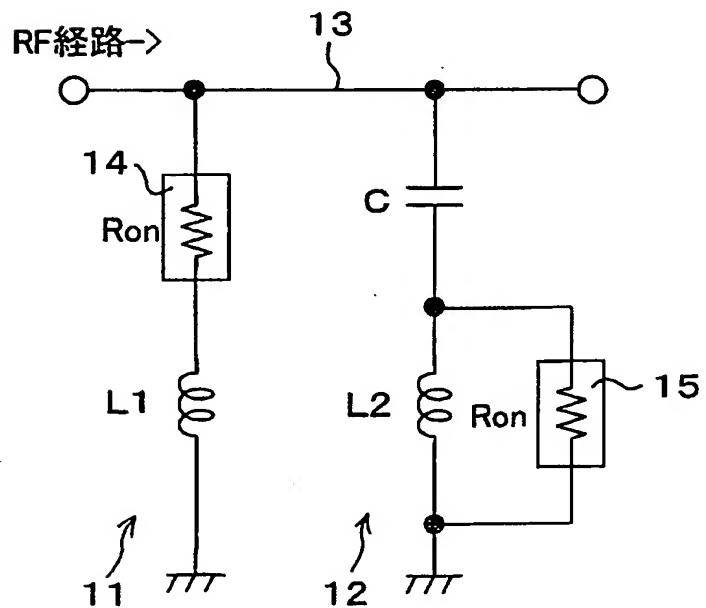


Fig.2

2/7

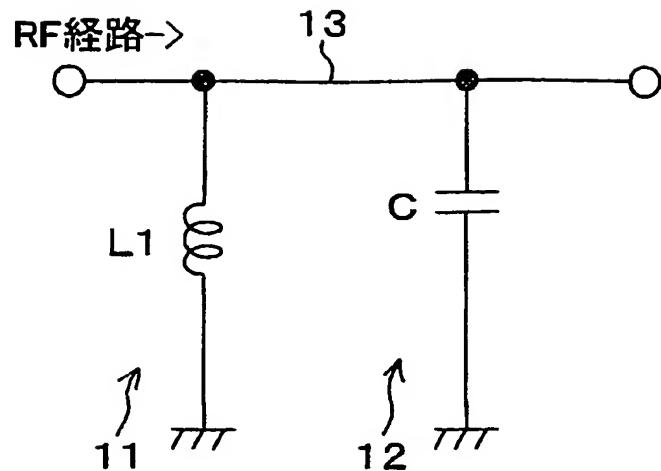


Fig.3

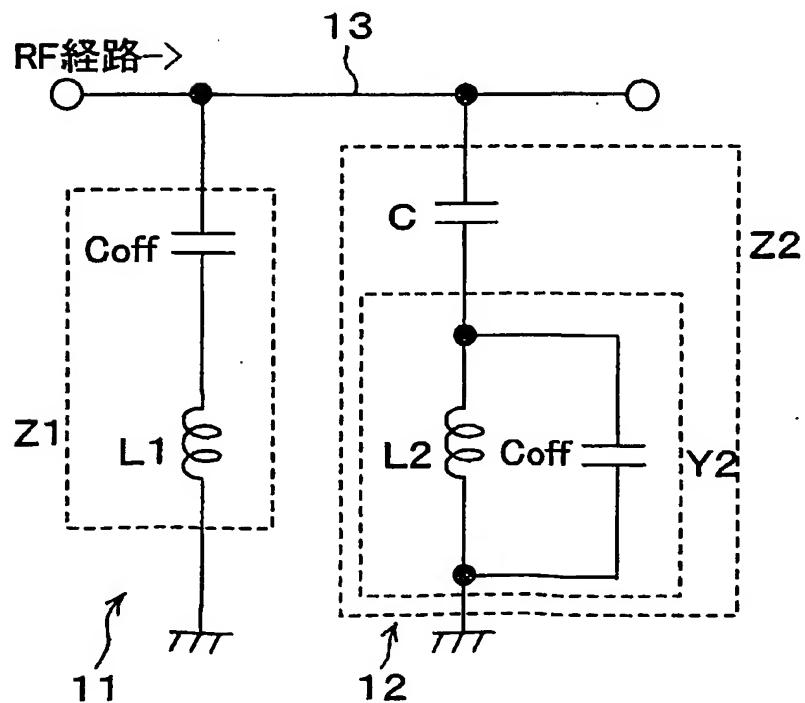


Fig.4

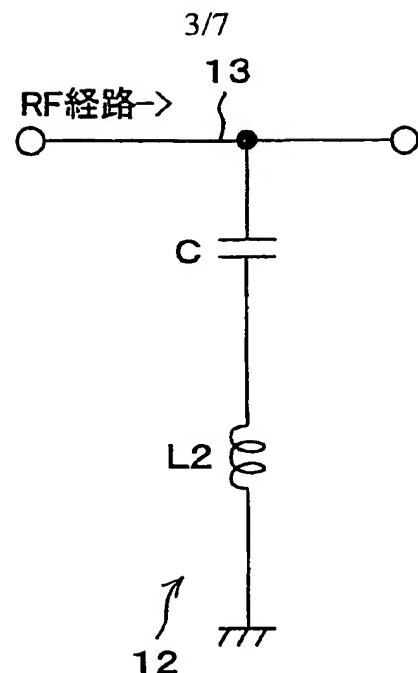


Fig.5

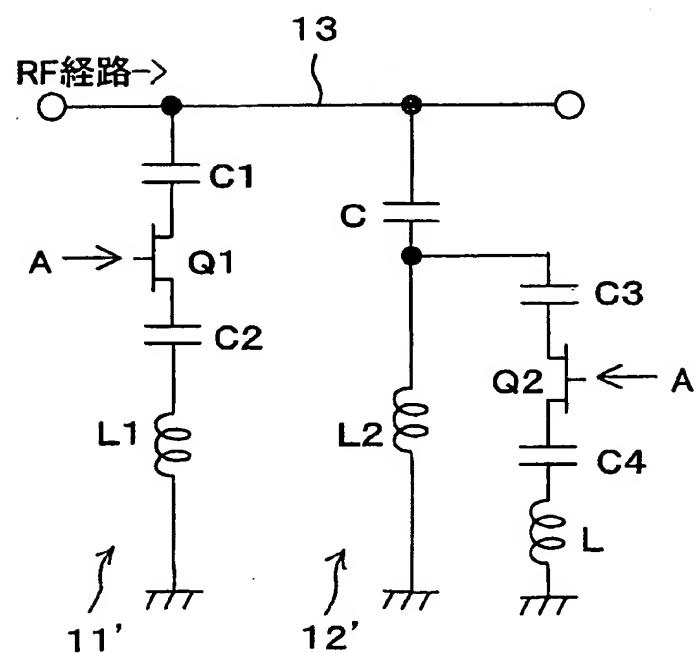


Fig.6

4/7

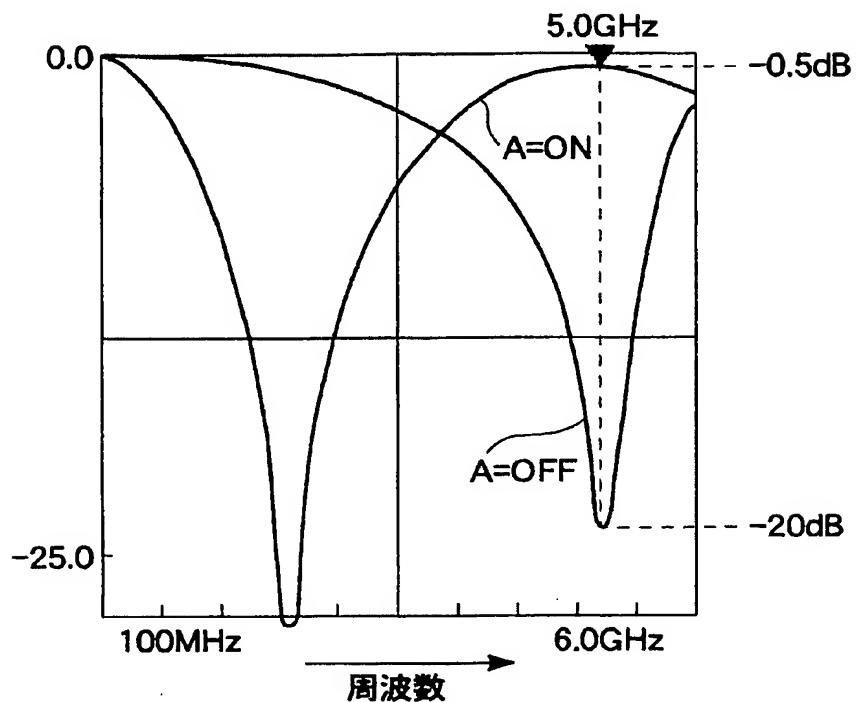


Fig.7

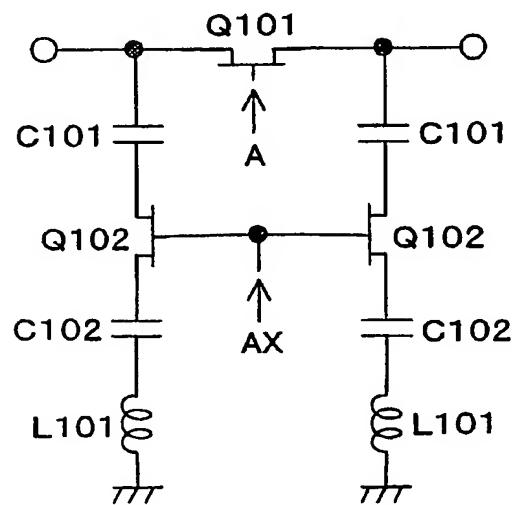


Fig.8

5/7

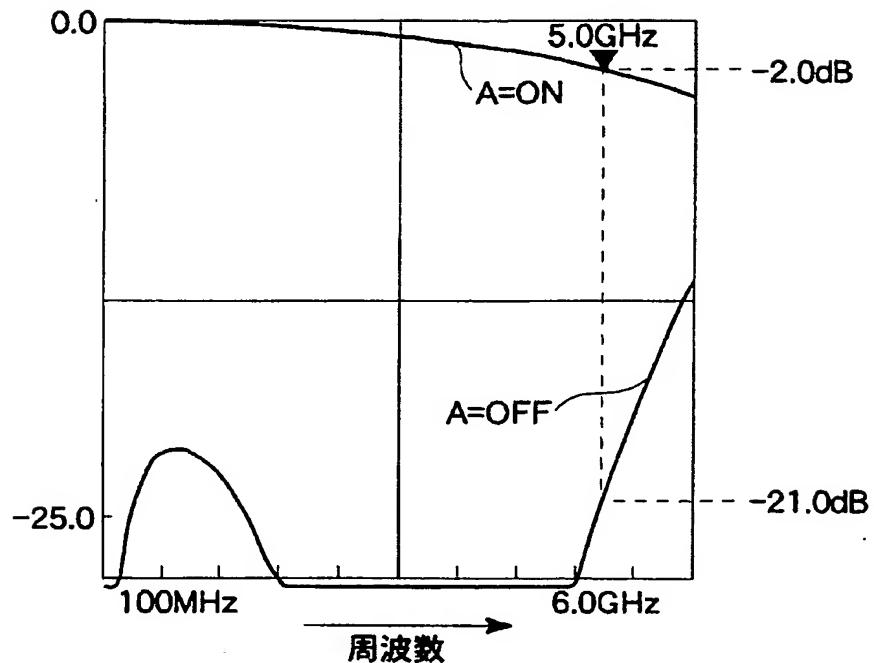


Fig.9

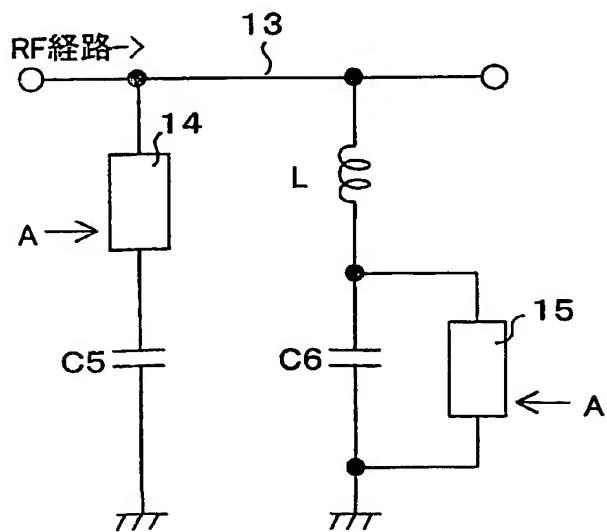


Fig.10

6/7

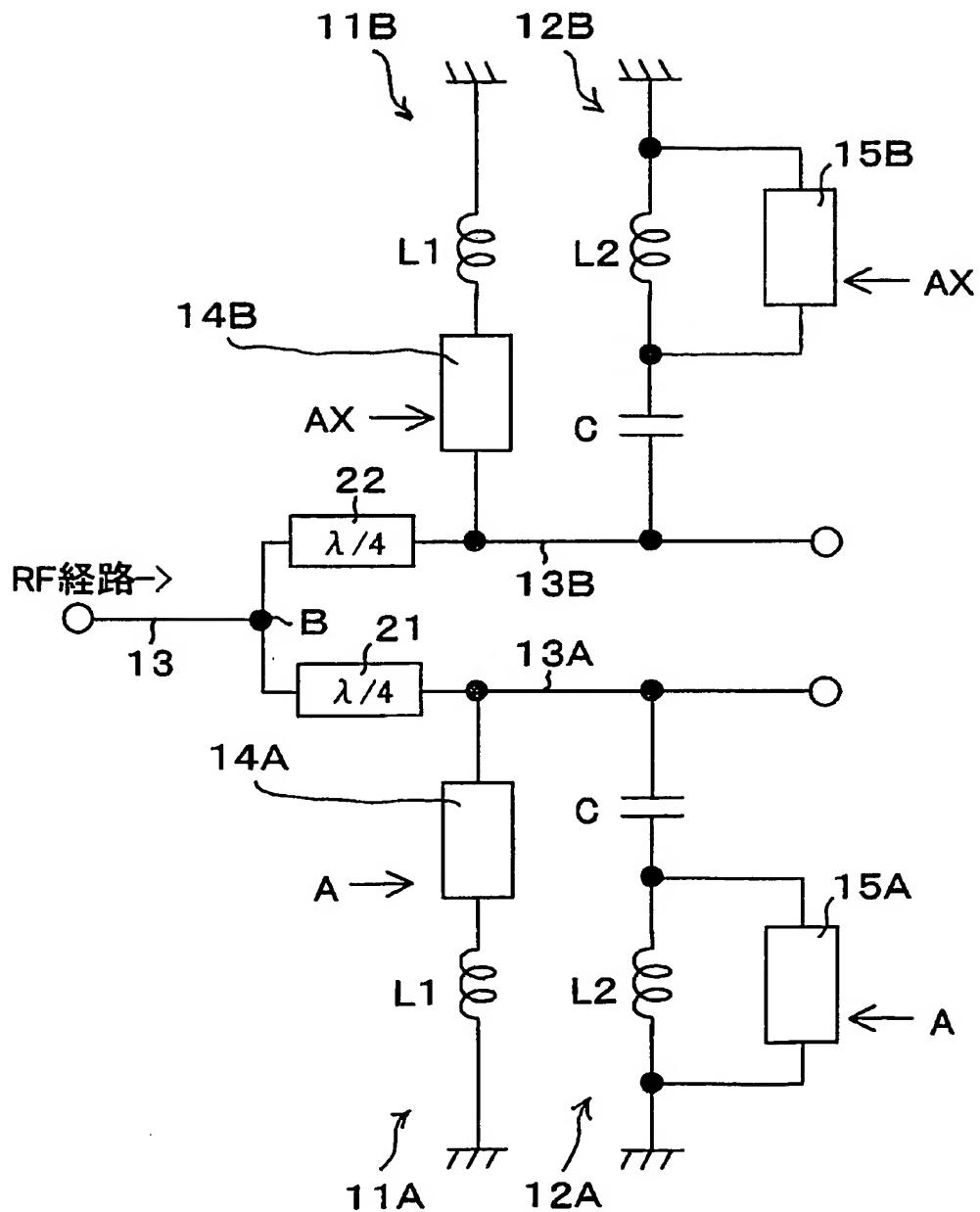


Fig.11

7/7

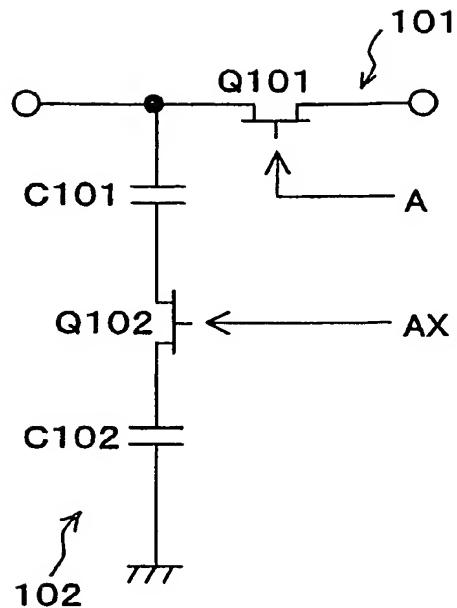


Fig.12

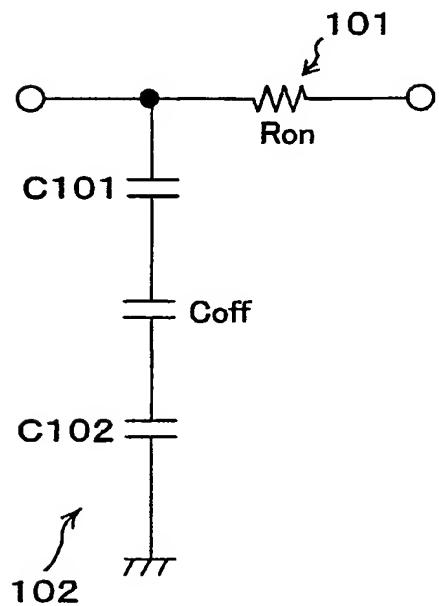


Fig.13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10008

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01P1/15, H03K17/687

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01P1/15, H03K17/687-17/693, H04B1/48, H03H7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-299995 A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Par. Nos. [0025] to [0031]; Fig. 1	1, 4
Y	Par. Nos. [0025] to [0031]; Fig. 1 (Family: none)	2, 3, 5
Y	JP 10-215162 A (Sony Corp.), 11 August, 1998 (11.08.98), Par. No. [0002] & US 5917362 A1	2, 3
Y	JP 2000-252810 A (NEC Kansai, Ltd.), 14 September, 2000 (14.09.00), Par. Nos. [0009] to [0010] (Family: none)	5

 Further documents are listed in the continuation of Box C. See patent family annex.

* "A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 03 October, 2003 (03.10.03)	Date of mailing of the international search report 14 October, 2003 (14.10.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/10008

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-114950 A (Murata Mfg. Co., Ltd.), 21 April, 2000 (21.04.00), Full text; all drawings & EP 993120 A2 & US 6281762 B1	1
A	JP 10-336000 A (NEC Engineering Kabushiki Kaisha), 18 December, 1998 (18.12.98), Full text; all drawings (Family: none)	1
A	JP 2000-13104 A (Toyota Central Research And Development Laboratories, Inc.), 14 January, 2000 (14.01.00), Full text; all drawings (Family: none)	1

国際調査報告

国際出願番号 PCT/JP03/10008

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl' H01P1/15, H03K17/687

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl' H01P1/15, H03K17/687-17/693, H04B1/48, H03H7/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリーエ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 5-299995 A (日本電信電話株式会社) 1993. 11. 12 段落番号【0025】-【0031】，【図1】	1, 4
Y	段落番号【0025】-【0031】，【図1】 (ファミリーなし)	2, 3, 5
Y	J P 10-215162 A (ソニー株式会社) 1998. 08. 11, 段落番号【0002】 & US 5917362 A1	2, 3

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリーエ

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当事者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 03.10.03	国際調査報告の発送日 14.10.03
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 新川 圭二 印 電話番号 03-3581-1101 内線 6711

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 2000-252810 A (関西日本電気株式会社) 2000.09.14, 段落番号【0009】-【0010】(ファミリーなし)	5
A	JP 2000-114950 A (株式会社村田製作所) 2000.04.21, 全文, 全図 & EP 993120 A2 & US 6281762 B1	1
A	JP 10-336000 A (日本電気エンジニアリング株式会社) 1998.12.18, 全文, 全図 (ファミリーなし)	1
A	JP 2000-13104 A (株式会社豊田中央研究所) 2000.01.14, 全文, 全図 (ファミリーなし)	1